

日 本 国 特 許 庁
JAPAN PATENT OFFICE

USPS EXPRESS MAIL
EV 415 086 349 US
APRIL 20 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 1 月 2 0 日
November 20, 2003

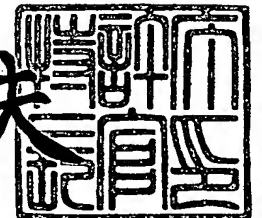
出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 9 0 2 6 1
[ST. 10/C]: [J P 2 0 0 3 - 3 9 0 2 6 1]

出 願 人
Applicant(s): 住友電気工業株式会社
Sumitomo Electric Industries, Ltd.

2 0 0 4 年 1 月 2 0 日
January 20, 2004

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫
Yasuo Imai



出証番号 出証特 2 0 0 4 - 3 0 0 1 1 8 6

Shutsu-sho No. Shutsu-sho-toku 2004-3001186

USPS EXPRESS MAIL
EV 415 086 349 US
APRIL 20 2004

Docket #4685
Inv.: S. Fujiwara et al.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 1 月 2 0 日

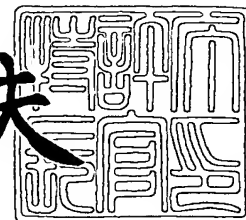
出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 9 0 2 6 1
[ST. 10/C]: [J P 2 0 0 3 - 3 9 0 2 6 1]

出 願 人
Applicant(s): 住友電気工業株式会社

2 0 0 4 年 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 1 8 6

【書類名】 特許願
【整理番号】 1032014
【提出日】 平成15年11月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 33/00
H01S 5/347

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 藤原 伸介

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 中村 孝夫

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 森 大樹

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 片山 浩二

【特許出願人】
【識別番号】 000002130
【住所又は居所】 大阪府大阪市中央区北浜四丁目5番33号
【氏名又は名称】 住友電気工業株式会社

【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎

【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄

【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平

【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】
【識別番号】 100098316
【弁理士】
【氏名又は名称】 野田 久登

【選任した代理人】
【識別番号】 100109162
【弁理士】
【氏名又は名称】 酒井 将行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908053

【書類名】 特許請求の範囲**【請求項 1】**

化合物半導体基板に形成され、活性層を 2 つのクラッド層で挟む発光素子において、前記 2 つのクラッド層のうち、一方のクラッド層は p 型不純物が導入された p 型半導体であり、

他方のクラッド層がアンドープ半導体である、半導体発光素子。

【請求項 2】

前記アンドープ半導体に残留する不純物の濃度が、 $1 \times 10^{16} / \text{cm}^3$ 未満である、請求項 1 に記載の半導体発光素子。

【請求項 3】

前記活性層と、前記 p 型半導体のクラッド層（p 型クラッド層）との間に、該 p 型クラッド層のバンドギャップ（禁制帯幅）より大きいバンドギャップを有するバリア層が位置する、請求項 1 又は 2 に記載の半導体発光素子。

【請求項 4】

前記半導体が III-V 族化合物半導体である、請求項 1～3 のいずれかに記載の半導体発光素子。

【請求項 5】

前記半導体が ZnSe 系化合物半導体である、請求項 4 に記載の半導体発光素子。

【請求項 6】

前記 2 つのクラッド層を、ZnMgSSe によって構成した、請求項 5 に記載の半導体発光素子。

【請求項 7】

前記バリア層を ZnMgBeSe によって構成した、請求項 3～6 のいずれかに記載の半導体発光素子。

【書類名】明細書

【発明の名称】半導体発光素子

【技術分野】

【0001】

本発明は半導体発光素子に関するものである。

【背景技術】

【0002】

ZnSe結晶は、その禁制帯幅（バンドギャップエネルギー）が室温で2.7 eVの直接遷移型の半導体であり、青から緑の波長域の発光素子の用途に広範な利用が期待されている。とくに1990年にプラズマ励起された窒素をドーピングすることによってp型ZnSeの成膜が可能であることが示されて以来、ZnSe系発光素子が脚光を浴びるようになった。

【0003】

本発明者らは、ZnSe基板を使用した新しい構成の白色LEDを考案し実用化を図っている。この白色LEDはn型ZnSe基板のSA（Self-Activated）発光を利用する素子である。具体的な発光素子110の構造は、図6に示すようにn型ZnSe基板101上に、バッファ層（n型ZnSe）102、n型クラッド層（n型ZnMgSe）103、活性層（ZnCdSe/ZnSe多重量子井戸）104、p型クラッド層（p型ZnMgSSe）105、コンタクト層（p型ZnSe上にZnSe/ZnTe超格子層）106を順に積層し、上記積層構造のトップにp電極（図示せず）を、またZnSe基板101の裏面にn電極（図示せず）を形成したものである。

【0004】

両電極間を通電して電流を注入し、活性層104で青色光（波長485 nm近辺）を発光させると、この青色光の一部はそのまま素子外に放出され、また一部は基板側に入射する。ZnSe基板101に入射した青色光は、ZnSe基板中のSAセンターを励起し、その結果SA発光が誘起される。このSA発光は590 nm近辺にピークを持つ発光であり、波長485 nmの青色光と適度な比率で混ぜ合わせることによって、人間の目には白色に見える光が得られる。上記のZnSe系白色LEDは、駆動電圧が2.7 V程度と低く、また発光効率も比較的高いことから、その応用が期待されている。

【0005】

しかしながら、ZnSe系発光素子はその寿命が短いという問題を有する。次に、ZnSe系発光素子の寿命について説明する。半導体発光素子では、光を発する活性層はn型半導体クラッド層とp型半導体クラッド層とに挟まれ、これら両方のクラッド層のバンドギャップより小さいバンドギャップを有する。発光の際に、n型クラッド層から電子を、またp型クラッド層から正孔を、それぞれ上記活性層に注入して、電子と正孔を結合させ、その結合により発光を生じさせる。n型クラッド層から活性層へ注入される電子は、主として次の経過を辿る。

【0006】

(1) ホール（正孔）と再結合して発光する。

【0007】

(2) p型クラッド層へリーク（オーバーフロー）し、p型クラッド層で非発光的再結合をする。

【0008】

上記(2)の割合が大きいと発光成分が減るため、発光素子（LD、LED）の光出力は小さくなる。上記(2)における問題を解消するためには、活性層側のp型クラッド層の電子に対するエネルギー障壁（ヘテロ障壁； ΔE_c ）を大きくすると、電子のリークを減らすことができる。この ΔE_c は、より具体的には、p型クラッド層の伝導帯の底のエネルギーと活性層内の電子の擬フェルミレベルの差である。 ΔE_c を正確に算出することは難しいが、この障壁を大きくするには以下の3つの方法がある。

【0009】

(1) p型クラッド層のバンドギャップと活性層のバンドギャップの差 ΔE_g を大きくする。

【0010】

(2) p型クラッド層のキャリア密度を増加して、p型クラッド層のフェルミレベルを下げる。

【0011】

(3) 活性層に注入する電流密度を下げる。

【0012】

上記のうち(3)の方法は、高強度の発光素子を実現する上で意味がない。上記(1)の方法として、たとえば、ZnSe系発光素子では、クラッド層にZnMgSSe層を用いることが提案されている(たとえば特許文献1参照)。上記ZnMgSSeを用いることにより、ZnSeと格子定数を合わせる条件下において、バンドギャップを4.4eV程度まで大きくすることができる。

【特許文献1】特開平5-75217号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、ZnSe系化合物半導体の場合、上記(1)の方法と(2)の方法を独立に取扱うことができない。その理由は、ZnSe系に特有のドーピング特性にある。まずこれについて説明する。

【0014】

ZnSe系化合物半導体では、平衡状態におけるドーピングでは有効なp型ドーパントを導入することはできない。ZnSe系化合物半導体へのp型不純物導入はMBE法による低温成長下での窒素ドーピングにおいてのみ、可能であることが知られている。この窒素ドーピングはバンドギャップが大きくなるほど困難になり、バンドギャップが大きくなるほど到達しうる最高のp型キャリア密度が小さくなる。この原因としては、p型ドーパントである窒素のみをドーピングしたことによって、その半導体のバンドギャップが大きくなること、及びドナー性の欠陥(詳細はよくわかっていない)が形成されやすくなることにあると考えられている。

【0015】

上記の理由から、 ΔE_c を最大にする上で、p型クラッド層のバンドギャップに最適値があることが分かる。この最適値は、ドーピング技術にも左右されるので一概には言えないが2.9~3.0eV近辺と考えられている。この最適値のバンドギャップで得られる ΔE_c が十分に大きく、電子のリークが十分に小さければ、何ら問題はない。しかし、残念ながらこのヘテロ障壁では大きさが不十分であり、無視できない量の電子がp型クラッド層にリークする。

【0016】

ZnSe系の発光素子における、上記とは別のさらに大きい問題は、p型クラッド層への電子のリークが発光効率を下げるだけでなく、発光素子の寿命を短くしてしまうことにある。この事情を以下に説明する。

【0017】

先に説明したようにZnSe系のII-VI族化合物半導体では、p型ドーピングの安定性が低く、p型キャリア密度を高くできないだけでなく、ドナー性の欠陥が形成されやすい。そのような特性に起因して、p型クラッド層にリークした電子がそこで正孔と再結合する際に放出されるエネルギーによって、p型クラッド層においてドナー性の欠陥が形成され、そのp型キャリア密度が減少してしまう。p型キャリア密度が減少すると、 ΔE_c も減少するため、電子のリークが加速され、さらにそのリークした電子がドナー性の欠陥を形成するという具合に悪循環に陥って、カタストロフィー的に発光効率が低下するに至る。そのため、ZnSe系の発光素子の寿命を長くすることは、これまで困難であるとされてきた。

【課題を解決するための手段】

【0018】

本発明の目的は、I I - V I 族化合物半導体によって形成された発光素子の寿命を伸長することにある。

【0019】

本発明の半導体発光素子は、化合物半導体基板に形成され、活性層を2つのクラッド層で挟む発光素子であって、上記の2つのクラッド層のうち、一方のクラッド層はp型不純物が導入されたp型半導体であり、他方のクラッド層がアンドープ半導体である。

【0020】

上記の構成により、活性層の電子のフェルミレベルを下げるができる。このため、活性層に隣接し、電界によって曲げられ低下しているp型クラッド層の伝導帯の部分（以下、伝導帯低下境界部）の低下度を小さくすることができる。このため、活性層からp型クラッド層にリークする電子に対する障壁を、伝導帯低下境界部で大きく低下させることがない。その結果、活性層からp型クラッド層への電子のリークを抑制し、上記発光素子の寿命を伸張することができる。

【0021】

なお、アンドープ半導体は、半導体にp型ドーパントとn型ドーパントとを問わずドーピング処理しないことである。アンドープ半導体に残留するドーパントの濃度は、p型となっている場合でもn型となっている場合でも、通常、ドーピング処理する場合に得られるドーパント濃度より小さくしなければならない。たとえば、p型又はn型半導体とするためにドーピングするとき、p型またはn型不純物濃度は $10^{16}/\text{cm}^3$ 以上とするのが常識であるので、上記アンドープ半導体に残留する不純物濃度はp型となっている場合でも、またn型となっている場合でも、 $10^{16}/\text{cm}^3$ 未満とする。

【0022】

一般に、半導体にはn型及びp型不純物が含まれ、その半導体の導電型はより多いほうの不純物の導電型になり、両方の不純物を相殺した残りの不純物量はその半導体の不純物濃度を決定する。上記の不純物濃度 $10^{16}/\text{cm}^3$ 未満は、両方の型の不純物濃度を相殺した残りの不純物量によって決まる濃度であり、その半導体の導電型の不純物濃度である。

【発明を実施するための最良の形態】

【0023】

次に図面を用いて本発明の実施の形態について説明する。

【0024】

(実施の形態1)

本発明の本実施の形態における半導体発光素子10は、n型ZnSe基板1の上に、下から順に、n型ZnSe層のバッファ層2、アンドープZnMgSSe層のアンドープクラッド層3、ZnCd/ZnSeの多重量子井戸構造の活性層4、p型ZnMgSSe層のp型クラッド層5、ZnTe/ZnSeの多重量子井戸構造とp型ZnSe層とから構成されるコンタクト層6が積層されている。2つのクラッド層3, 5が活性層4を挟んでいるが、活性層4の下、ZnSe基板1の側に位置するクラッド層3はアンドープZnMgSSe層であり、一方活性層の上、ZnSe基板から見て活性層より遠くに位置するクラッド層5はp型ZnMgSSe層である。以後の説明では、活性層の下に位置するアンドープクラッド層をn電極側クラッド層、また活性層の上に位置するp型クラッド層をp電極側クラッド層と呼ぶことがある。図6に示す従来の発光素子のクラッド層についても同様の呼び方をする場合がある。

【0025】

アンドープZnMgSSe層3における不純物濃度は、p型及びn型を問わず、常識的に不純物をドーパントしたといえるレベルより低いレベルに制御されている。この不純物濃度の値は $10^{16}/\text{cm}^3$ 未満である。

【0026】

次に、図1に示す半導体発光素子10における作用について説明する。図1に示す構造の発光素子の図示していない電極間に電圧を印加して、電流を注入している状態でのバンド図を図2に示す。また、クラッド層3をアンドープとしないで、従来の構造(図6)にしたがってn型不純物をドーピングしたn型クラッド層を有する発光素子の電極間に電圧を印加して、電流を注入している状態でのバンド図を図3に示す。

【0027】

図2及び図3において、 V は活性層内の電子の擬フェルミレベル ψ_n と正孔の擬フェルミレベル ψ_p との差である。この V の値は活性層内での電子と正孔との再結合確率を決めるので、素子への注入電流量によってほぼ一意的に決まる量である。厳密には、リーク電流があるので V は注入電流量だけでは決まらないが、本説明においては素子への注入電流量によって決まるとして話を進めて問題はない。また、電極や各層内での電気抵抗による電圧の低下がなければ、 V は電極間に印加する電圧と一致する。 $E_{f(p-clad)}$ はp型クラッド層の価電子帯の頂上から測った正孔のフェルミレベルであり、p型キャリア密度が大きくなるほど小さくなる。

【0028】

まず、比較例として挙げた従来の発光素子のバンド図から説明する。図3から分かるように、 ΔE_c は次の(1)式で表すことができる。

【0029】

$$\Delta E_c = E_{g(p-clad)} - V - E_{f(p-clad)} \dots\dots\dots (1)$$

先に説明したように、 ΔE_c を大きくするためには、p型クラッド層のバンドギャップエネルギー($E_{g(p-clad)}$)を大きくするか、注入電流を小さくして V を小さくするか、又はp型のキャリア密度を大きくして $E_{f(p-clad)}$ を小さくする。ここで注意すべき点は、活性層内の擬フェルミレベル(ψ_n 、 ψ_p)の絶対的な位置は、 ΔE_c に影響を与えないことである。仮に V を一定に保ったまま、 ψ_n の位置を下げたとしても、図2に模式的に示すように、 ψ_p の低下に引きずられて、p型クラッド層の伝導体の底の位置も下がるので、結局 ΔE_c は変わらない。したがって従来は活性層内の擬フェルミレベル(ψ_n 、 ψ_p)の絶対的な位置はあまり重要視されなかった。

【0030】

しかし、ZnSeのようにp型ドーピングが不安定で、劣化しやすい材料である場合、事情は異なる。すなわち、活性層へのキャリアの閉じ込めに関しては、 ΔE_c で議論すべきであるが、p型クラッド層の劣化を考える場合、 ΔE_c だけでなく $\Delta E_c'$ (図2、図3参照)も重要となる。すなわち、 ΔE_c が同じであっても $\Delta E_c'$ が小さければp型クラッド層の中で活性層に隣接し、バンドが電界によって曲がっている部分(図2、3での領域A)では、電子に対する障壁の程度は小さくなる。すなわちリークしやすくなり、ひいてはp型クラッド層が劣化しやすくなる。ここで、上記したように活性層内の擬フェルミレベル(ψ_n 、 ψ_p)の絶対的な位置は ΔE_c に影響を与えないが、 $\Delta E_c'$ に対しては上記のように影響を及ぼすことに注意する必要がある。

【0031】

上記より、電子のリークを抑制するという観点から、 $\Delta E_c'$ は大きいほうが好ましい。 $\Delta E_c'$ を大きくするためには、図2と図3とを比較してわかるように、電子のフェルミレベル ψ_n を下げてp型クラッド層のバンドの曲がりを小さくすればよい。

【0032】

次に、 ψ_n をどのような手段で下げるかが問題になる。上記 V は一定に保つことが当然の前提条件である。通常の発光素子においてクラッドの材料として使用される化合物半導体は、一般にp型キャリア密度を高めることが難しく、n型クラッド層及びp型クラッド層のうち、n型クラッド層のキャリア密度のほうがp型クラッド層のキャリア密度より高くなる傾向がある。活性層内の電子及び正孔のフェルミレベル ψ_n 及び ψ_p はクラッド層から注入された電子及び正孔の量によって決まるので、n電極側クラッド層のキャリア密度が高ければ、電子が注入されやすくなり、その結果として ψ_n が高くなる。

【0033】

そこで、p 型クラッド層は従来どおり p 型不純物をドーピングして p 型導電性を持たせ、n 電極側クラッド層に関しては、アンドープとする方策を見出した。この方策によれば、活性層中に電子が注入されにくくなり、すなわち電子が溜まりにくくなり、活性層内のフェルミレベル ψ_n が低下する。n 電極側クラッド層をアンドープにして高抵抗にすると、発光素子に電流が流れなくなる懸念があったが、実際に試作してみると、n 型バッファ層 2 から n 電極側クラッド層 3 に電子が拡散し、電流は流れることが分かった。

【0034】

もう 1 つの問題として、n 電極側クラッド層 3 の正孔に対する障壁が小さくなるので、正孔が n 電極側クラッド層にリークしやすくなるのではないかという懸念があった。しかしながら発光素子に使用される化合物半導体材料では、正孔の移動度が電子の移動度よりもずっと小さいので正孔のリークは元々小さく、この懸念は杞憂に終わった。しかし仮にこの問題が無視できない場合であっても、n 電極側クラッド層 3 のバンドギャップを大きくするだけでこの問題は容易に解消されるはずである。

【0035】

n 電極側クラッド層をアンドープとすることによってフェルミレベル ψ_n が低下して、その結果、 $\Delta E_c'$ が大きくなることを直接測定で確認することは難しい。しかしながら、素子の寿命を評価すればこの効果が有効に機能したかどうかを確かめることができる。実際に図 1 のような構造の LED を作製して寿命を評価すると、平均でおよそ 20 % 寿命が長くなることを確認した。

【0036】

(実施の形態 2)

図 4 は本発明の実施の形態 2 における発光素子 10 を示す図である。上記実施の形態 1 では、活性層をクラッド層で挟み込んだ構造の LED において n 電極側クラッド層をアンドープにする構成を説明した。本実施の形態では、n 電極側クラッド層をアンドープとした上で、活性層 4 と p 型クラッド層 5 との間に、p 型クラッド層の禁制帯幅より大きな禁制帯幅を有するバリア層 15 を挟み込んだ構造について説明する。実施の形態 1 の発光素子との相違は、上記のように活性層 4 と p 型クラッド層 5 との間に、p 型クラッド層の禁制帯幅より大きな禁制帯幅を有するバリア層 15 を挟み込んだ点だけであり、その他の構造は、図 1 の発光素子と同じ構造である。

【0037】

上記の構造の LED では図 5 に示すように電子の閉じ込めは ΔE_c によって支配されるのではなく、 $\Delta E_c'$ によって決定される。したがって、 ψ_n を下げることは、電子のリークの抑制に直接効果があると期待される。

【0038】

実際に図 4 のような構造の LED を作製して寿命を評価すると、n 電極側クラッド層をアンドープにした LED では、寿命が平均で 30 % 程度伸張することを確認した。ここでクラッド層の禁制帯幅を 2.9 eV、バリア層の禁制帯幅を 3.1 eV とした。

【0039】

上述のように、本発明の構成上の主な特徴は n 電極側クラッド層をアンドープとした点にある。どの程度の残留キャリア密度が認められるかであるが、少なくとも p 型クラッド層中の正孔密度の (1/2) 以下でなければならない。できれば (1/10) 以下にすべきである。

【0040】

n 電極側クラッドに不純物をドーピングしないことの付加的な効果として、活性層の純度を高めることが考えられる。n 電極側クラッド層に n 型の不純物をドーピングすると、成長炉中に残留する n 型不純物が活性層中に混入しやすくなってしまいうので、活性層の純度が低下してしまう。この活性層における純度の低下については、その程度と材料系とによって異なるので一概には言えないが、活性層での発光効率を低下させてしまうおそれがある。

【0041】

これまでの説明では、ZnSeをベースとしたLEDを例にとって説明してきたが、本発明はZnSe系に限られるわけではなく、GaAs系やGaN系のようなIII-V族化合物半導体材料を使用した発光素子であっても、程度の差はあるものの、リーク電流低下等の好ましい効果が期待される。またLEDだけでなくLDであってもこの構造は有効である。

【実施例1】

【0042】

図4の構造のZnSe系発光素子において、n電極側クラッド層をn型にドーピングしたLED（比較例）と、n電極側クラッド層をアンドープ、すなわちドーピングしなかったLED（本発明例）を作製した。LEDの作製には面方位（100）のn型ZnSe基板を使用し、基板上にMBE法で図4の積層構造を形成した。n型ドーパントとしてClを使用し、p型ドーパントとしてはNを使用した。n電極側クラッド層のバンドギャップは2.9 eVであった。p電極側クラッド層は2.9 eVとした。また、バリア層のバンドギャップを3.1 eVとした。活性層の発光波長に関しては、485 nmになるようにCd組成を調整した。クラッド層の厚みは各々約0.5 μm とし、バリア層の厚みは約0.02 μm とした。

【0043】

n電極側クラッド層をn型にドーピングした場合（比較例）のn電極側クラッド層のキャリア密度は $2 \sim 3 \times 10^{17} \text{ cm}^{-3}$ であり、ドーピングしなかった場合（本発明例）のキャリア密度は $2 \times 10^{15} \text{ cm}^{-3}$ 以下であった。p側クラッド層のキャリア密度は、本発明例及び比較例ともに $3 \times 10^{16} \text{ cm}^{-3}$ であった。

【0044】

図6には示していないが、バリア層を形成した後、ZnSe基板の裏側にTi/Auからなるn電極を形成し、またコンタクト層の上に厚み100 Å程度の半透明Au電極を形成した。その後、400 μm □にスクライプブレイクして、ステム状にボンディングして、寿命評価用のLEDを作製した。

【0045】

上記の方法で作製された本発明例及び比較例のLEDの寿命を測定した。測定方法としては、70℃で15 mAの一定電流を流しながら、輝度の低下を測定した。得られた結果は次のとおりであった。

【0046】

比較例のLEDでは初期輝度の70%程度まで減少するまでの時間は200～500時間以上であり、平均するとおよそ350時間であった。一方、本発明例のLEDでは、初期輝度の70%程度まで減少するまでの時間は300～650時間以上であり、平均するとおよそ450時間であった。すなわち本発明例では、LEDの寿命を比較例に比べて30%程度伸ばすことができた。

【0047】

次に上記実施の形態及び実施例に挙げたものも含めて、本発明の実施の形態について羅列的に挙げて説明する。

【0048】

上記のアンドープ半導体に残留する不純物の濃度は、 $1 \times 10^{16} / \text{cm}^3$ 未満としてもよい。

【0049】

上記の構成により、アンドープ半導体に残留する不純物濃度を低く制御し、活性層の電子のフェルミレベルを下げるができる。この結果、活性層からp型クラッド層への電子のリークを抑制することができる。

【0050】

上記の活性層と、p型不純物が導入されたクラッド層（p型クラッド層）との間に、該p型クラッド層のバンドギャップ（禁制帯幅）より大きいバンドギャップを有するバリア層が位置してもよい。

【0051】

上記のバリア層を設けた構造において、アンドープ半導体は活性層の電子のフェルミレベルを低下させ、また上記バリア層は、活性層の電子に対してより大きい障壁を形成することができる。

【0052】

上記の半導体をⅡⅤ族化合物半導体とすることができる。

【0053】

この構成により、ⅡⅤ族化合物半導体で構成される発光素子のp型クラッド層において、電子と正孔との再結合によって生じるドナー性の欠陥の発生を抑制することができる。

【0054】

上記の半導体をZnSe系化合物半導体としてもよい。

【0055】

この構成により、上記ドナー性欠陥発生の感受性が高いZnSe系化合物半導体を用いて発光素子を形成したとき、発光素子のp型クラッド層における電子と正孔との再結合によって生じるドナー性の欠陥の発生を抑制することができる。

【0056】

上記の2つのクラッド層を、ZnMgSSeによって構成してもよい。

【0057】

上記構成により、クラッド層のバンドギャップを活性層のバンドギャップより確実に大きくして、活性層からp型クラッド層への電子のリークを一定量以下に抑制することができる。

【0058】

上記のバリア層をZnMgBeSeによって構成してもよい。

【0059】

バリア層を構成する材料としてZnMgBeSeを用いることにより、クラッド層よりバンドギャップが大きく、そのバンドギャップが大きい結果として伝導帯の底のエネルギー準位が上昇する（電子親和力が低下すると言ってもよい）。このため電子のp型クラッド層へのリークを抑制することができる。また、ZnMgBeSeはZnMgSSeに比べて電子親和力が小さくなることが知られており、同じバンドギャップであればZnMgBeSeのほうが電子の閉じ込め効率が高くなるので、好ましい。また、ZnMgBeSeは伝導帯のエネルギー値を高めるが価電子帯にはほとんど影響しないので、p型クラッド層から活性層への正孔の注入の妨げにならない。

【0060】

上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【産業上の利用可能性】

【0061】

本発明の発光素子では、活性層を挟む2つのクラッド層はn型及びp型であるという常識を超え、一方のクラッド層をアンドープとすることにより発光素子の寿命を大幅に伸長することができるので、多くの照明装置の分野で広範に用いられることが期待される。

【図面の簡単な説明】

【0062】

【図1】 本発明の実施の形態1における発光素子を示す図である。

【図2】 図1の発光素子に電圧を印加した状態におけるエネルギーバンド図である。

【図3】 比較例である従来の発光素子に電圧を印加した状態におけるエネルギーバンド図である。

【図4】 本発明の実施の形態2における発光素子を示す図である。

【図 5】図 4 の発光素子に電圧を印加した状態におけるエネルギーバンド図である。

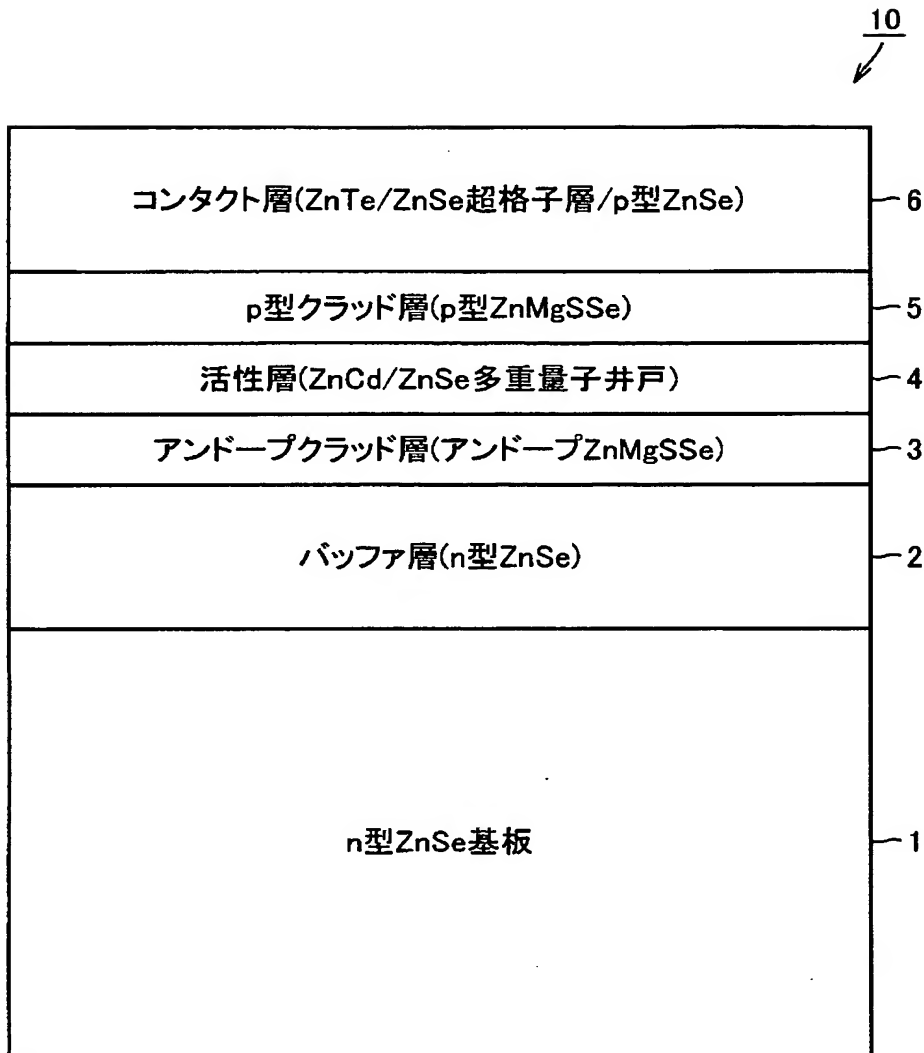
【図 6】従来の発光素子を示す図である。

【符号の説明】

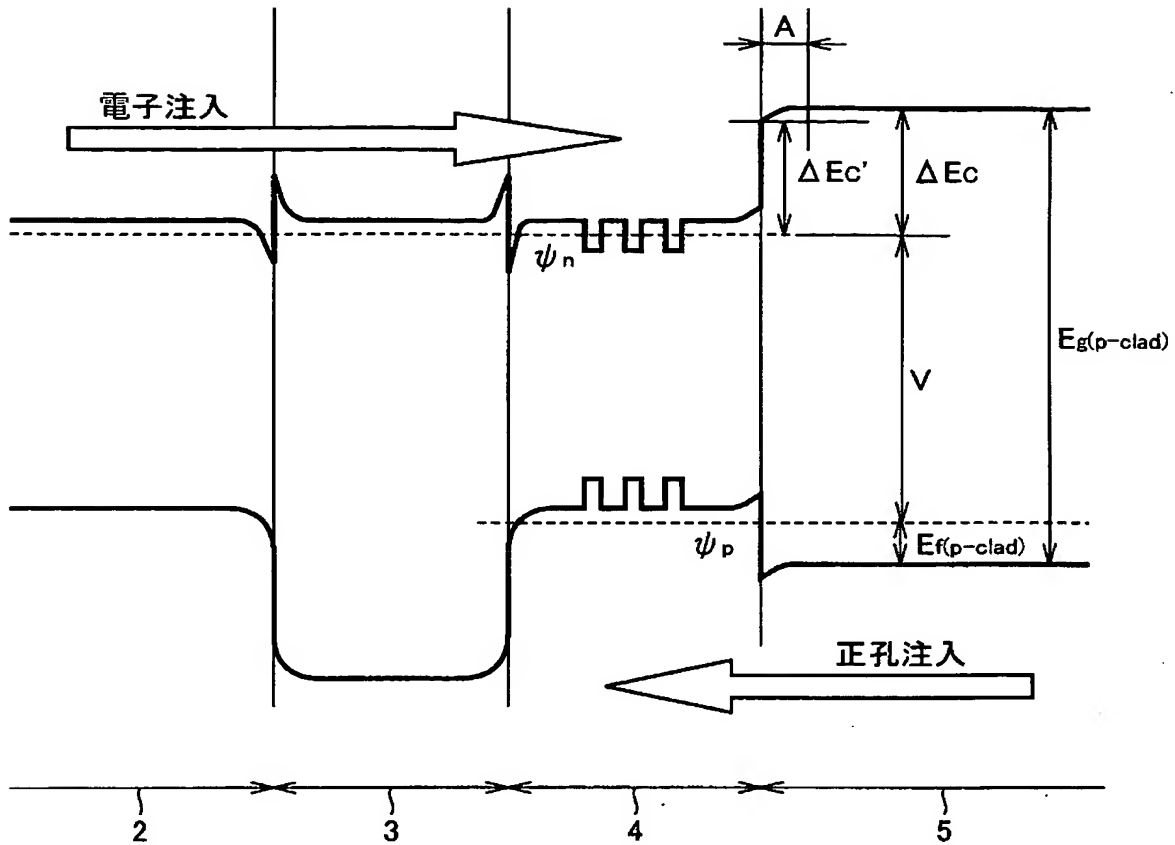
【0 0 6 3】

1 ZnSe 基板、2 n 型 ZnSe 層（バッファ層）、3 アンドープクラッド層（n 電極側クラッド層、アンドープ ZnMgSSe 層）、4 活性層、5 p 型クラッド層（p 電極側クラッド層、p 型 ZnMgSSe 層）、6 コンタクト層、10 発光素子、15 バリア層、A 伝導帯低下境界部、 ψ_n 電子のフェルミレベル、 ψ_p 正孔のフェルミレベル。

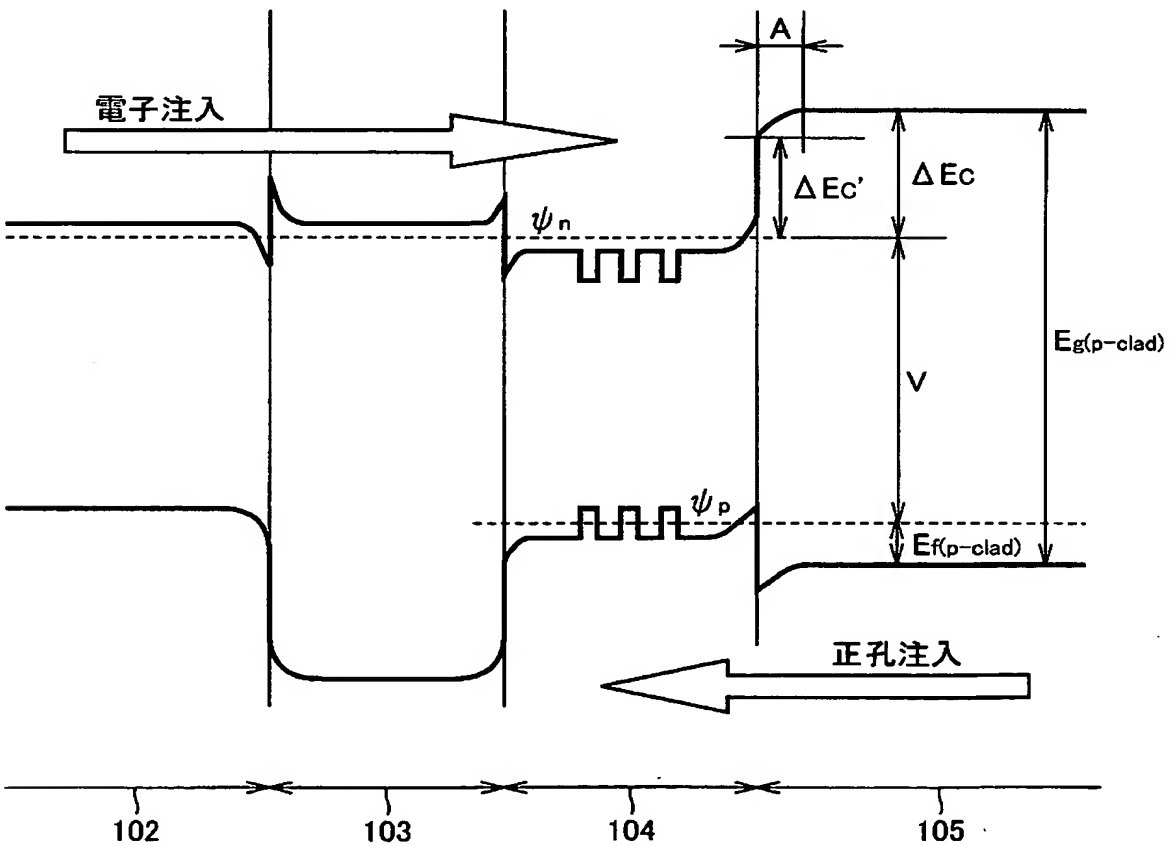
【書類名】 図面
【図 1】



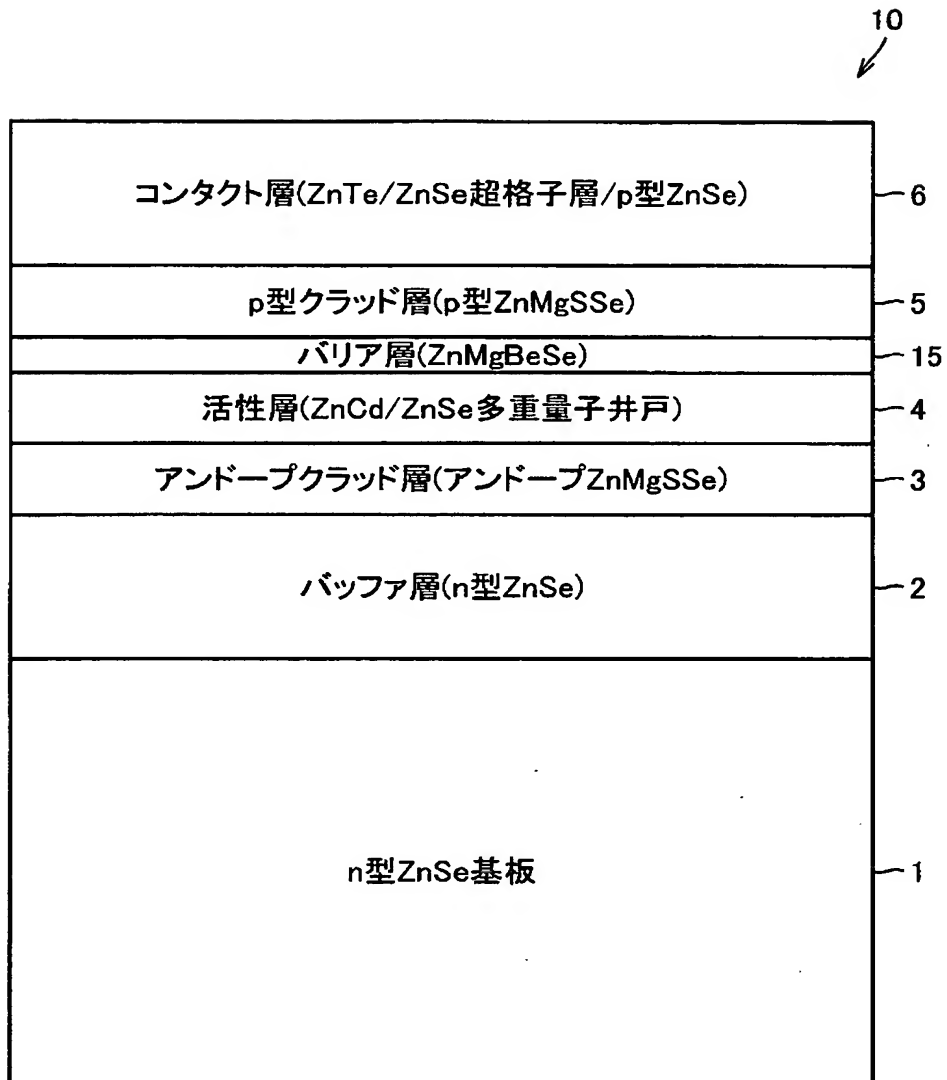
【図 2】



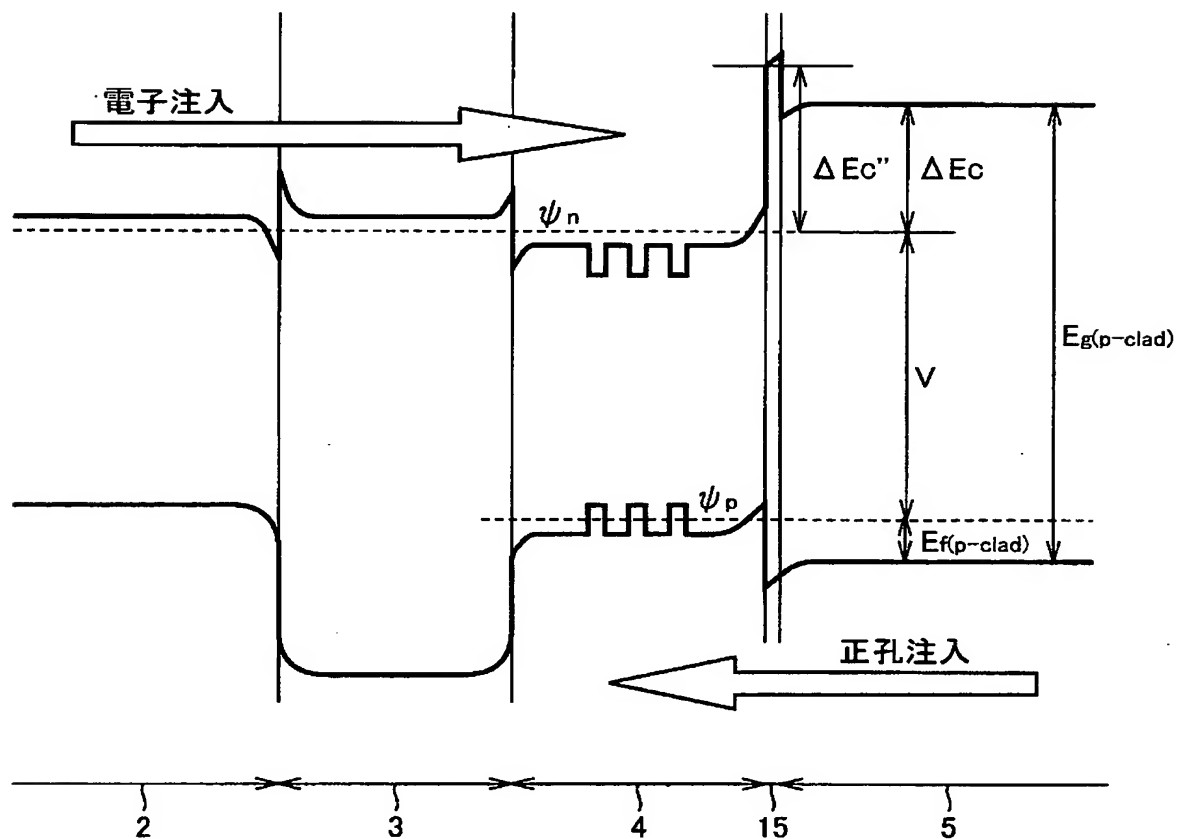
【図 3】



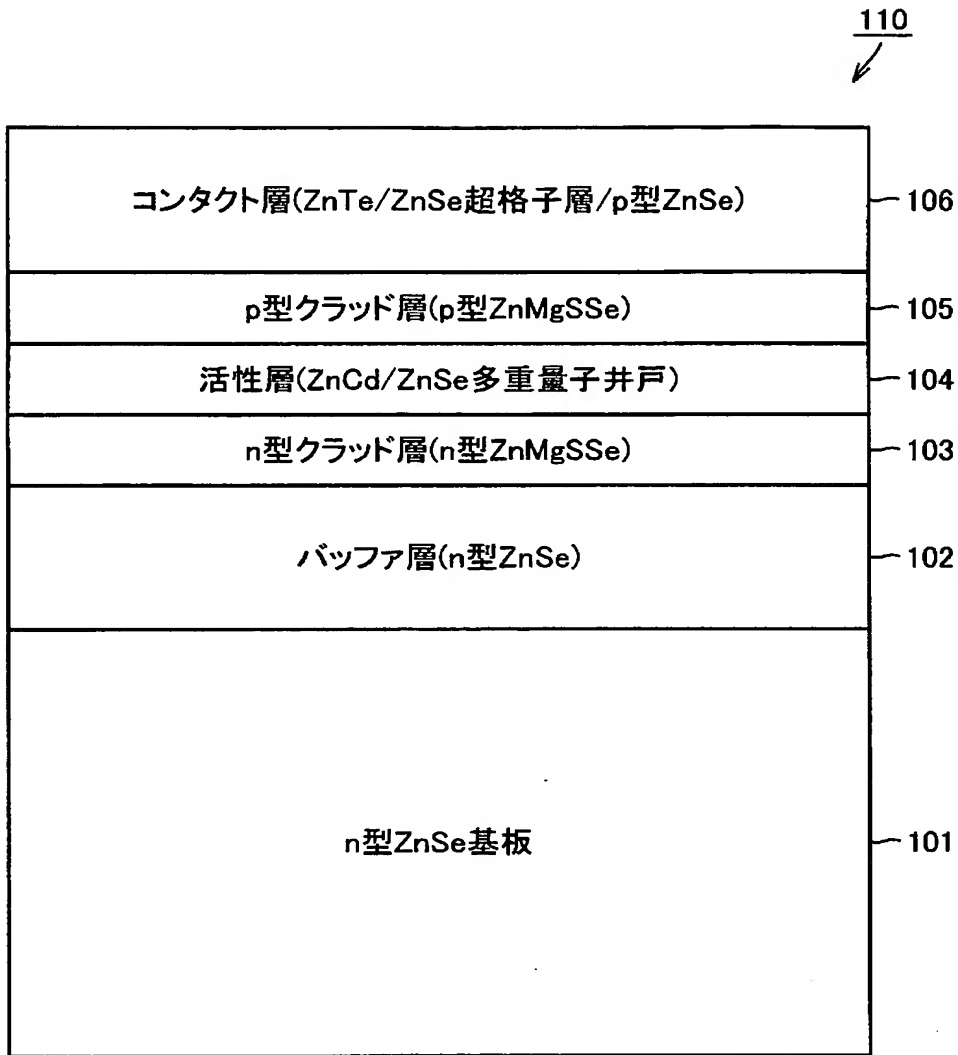
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 I I - V I 族化合物半導体によって形成された発光素子の寿命を伸長する。

【解決手段】 Z n S e 基板 1 に形成され、活性層 4 を 2 つのクラッド層 3, 5 で挟む発光素子 1 0 であって、上記の 2 つのクラッド層のうち、一方のクラッド層は p 型不純物が導入された p 型半導体 5 であり、他方のクラッド層がアンドープ半導体で 3 ある。

【選択図】 図 1

特願 2 0 0 3 - 3 9 0 2 6 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 3 0]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中央区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社